

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-033779  
 (43)Date of publication of application : 09.02.2001

(51)Int.CI.  
 G02F 1/1335  
 G02F 1/1339  
 G09F 9/00  
 G09F 9/30

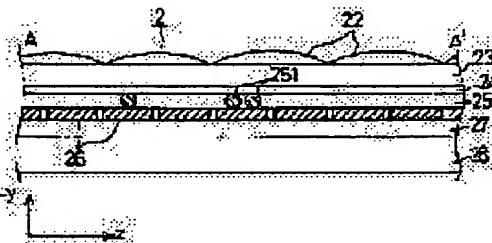
(21)Application number : 11-209988 (71)Applicant : CANON INC  
 (22)Date of filing : 23.07.1999 (72)Inventor : FURUSHIMA TERUHIKO

## (54) DISPLAY PANEL AND ITS PRODUCTION

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To dispose a spacer for controlling the cell gap between first and second substrate without degrading the display quality by interposing the spacer between first and second substrates at the position corresponding to the corner of each microlens adjacent to other three microlenses.

**SOLUTION:** The spacer to control the gap between first and second substrates is disposed as interposed between the first and second substrates at the position corresponding to the corner of each microlens adjacent to other three microlenses. In this display panel, microlenses 22 are formed on a sheet glass 23 as a counter glass substrate. The microlenses 22 have a two-dimensional array structure with a pitch twice as the pitch of pixel electrodes 26 and form a microlens array. Since light can be condensed by the microlens 22 of the liquid crystal panel 2, the nondisplay region can largely be secured. Then the spacer 251 is arranged in the nondisplay region on the corner of the microlens 22.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

文書①

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-33779

(P2001-33779A)

(43)公開日 平成13年2月9日(2001.2.9)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テ-マート(参考)
G 0 2 F	1/1335	5 2 5	G 0 2 F 1/1335 5 2 5 2 H 0 8 9
		5 0 5	5 0 5 2 H 0 9 1
	1/1339	5 0 0	1/1339 5 0 0 5 C 0 9 4
G 0 9 F	9/00	3 1 6	G 0 9 F 9/00 3 1 6 Z 5 G 4 3 5
		3 3 8	3 3 8

審査請求 未請求 請求項の数 5 OL (全 14 頁) 最終頁に統く

(21)出願番号 特願平11-209988

(71)出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(22)出願日 平成11年7月23日(1999.7.23)

(72)発明者 古島 輝彦

東京都大田区下丸子3丁目30番2号 キヤ  
ノン株式会社内

(74)代理人 100082337

弁理士 近島 一夫 (外1名)

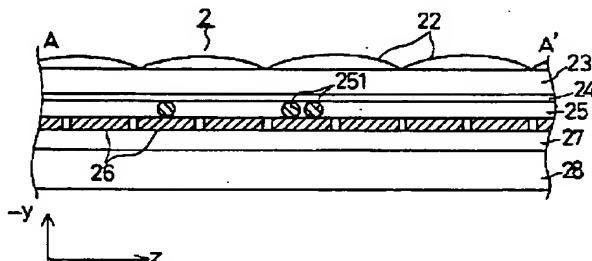
最終頁に統く

(54)【発明の名称】 表示パネル及びその製造方法

(57)【要約】

【課題】 セルギャップ制御層用のスペーサを表示品位の低下無く設置すること。

【解決手段】 各マイクロレンズ22のうち、他の3つのマイクロレンズ22と隣接する角隅に対応した位置に、基板間のギャップを制御するためのスペーサ251を、基板間に挟んで設けた。



## 【特許請求の範囲】

【請求項1】 第1、第2、第3の色画素電極の3つの色画素電極のうちの2つの色画素電極の組合せを第1方向に、該2つの色画素電極の組合せと異なる2つの色画素電極の組合せを第1方向と異なる第2方向に、1つの色画素電極を共有するように配置した色画素電極を基板上に所定のピッチで2次元的に交差配列した第一の基板と、前記第1方向と第2方向の2つの色画素電極のピッチを1ピッチとするマイクロレンズを複数個、前記基板上に2次元的に配列した第二の基板と、を備え、

前記各マイクロレンズの中心に対応した位置に前記第1の色画素電極が、前記第1方向において隣接するマイクロレンズ間の境界に対応した位置に前記第2の色画素電極が、前記第2方向において隣接するマイクロレンズ間の境界に対応した位置に前記第3の色画素電極が、各々位置するように、かつ前記第一の基板と第二の基板との間に液晶層を挟むように、前記第一の基板に対して前記第二の基板を配置し、

前記各マイクロレンズのうち、他の3つのマイクロレンズと隣接する角隅に対応した位置に、前記第一の基板と第二の基板の間のギャップを制御するためのスペーサを、これら第一の基板と第二の基板とで挟んで設けた、ことを特徴とする表示パネル。

【請求項2】 前記色画素電極は反射電極からなる、ことを特徴とする請求項1記載の表示パネル。

【請求項3】 前記スペーサは球状のスペーサである、ことを特徴とする請求項1記載の表示パネル。

【請求項4】 請求項1記載の表示パネルを製造する際に、

前記第一及び第二の基板それぞれに配向膜を形成し、該第一及び第二の基板のうち一方の基板の配向膜上に感光性樹脂を塗布して現像液にて現像し、前記色画素電極に対応する位置とは別の位置が開口となるパターンを形成して、選択的に前記配向膜を覆う工程と、

前記パターンが形成された配向膜上にスペーサを散布して固着させる工程と、

剥離液を用いて前記散布固着したスペーサを前記感光性樹脂とともに除去する工程と、

を有してなることを特徴とする表示パネルの製造方法。

【請求項5】 前記散布するスペーサは、接着樹脂をコーティングしたスペーサであることを特徴とする請求項4記載の表示パネルの製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、マイクロレンズを採用した液晶パネル等である表示パネル及びその製造方法に関する。

## 【0002】

【従来の技術】 従来の液晶パネル等である表示パネルにおいて、アクティブ素子を形成した基板（アクティブ基

板と称す）と、これに対向する基板（対向基板と称す）との間のセルギャップを制御する方法としては、アクティブ基板と対向基板との間にスペーサを配置するのが一般的である。スペーサの配置方法としては、揮発性溶剤にスペーサを分散させたものを片側の基板上に噴霧散布する手法や、スペーサそのものを片側の基板に散布する手法（乾式散布）が一般的である。

【0003】 このようにスペーサをパネル内に配置した表示パネルでは、スペーサが画素電極上にも散布されるため、スペーサ自身及びスペーサによる配向乱れ等による表示不良、例えば、ノーマリホワイトモードの場合、スペーサ部分が白く色抜けした状態となり、コントラストが著しく低下する。この問題を解決する1つの工夫として特開平6-301040号公報には、画素電極部以外の信号電極等を覆うマトリックスパターンの遮光膜に開口部を設けておくと共に、この開口部に対応して光反応性樹脂とスペーサとを塗布し、上記開口部を通して背面から露光することで、スペーサを固定することが記載されている。また、別のスペーサを非表示部に設ける方法が特開平10-62789号公報に提案されている。

## 【0004】

【発明が解決しようとする課題】 しかしながら、表示画素数が増加し画素寸法が縮小されると、たとえスペーサを非表示部に設けたとしても、上記した配向乱れ等の影響が表示画素に及ぶため、コントラスト低下等の表示品位が低下してしまうという問題が解決されない。

【0005】 本発明は上記事情に鑑み、セルギャップ制御層用のスペーサを表示品位の低下無く設置することのできる表示パネル及びその製造方法を提供すること目的とする。

## 【0006】

【課題を解決するための手段】 上記課題を解決すべき本発明は、第1、第2、第3の色画素電極の3つの色画素電極のうちの2つの色画素電極の組合せを第1方向に、該2つの色画素電極の組合せと異なる2つの色画素電極の組合せを第1方向と異なる第2方向に、1つの色画素電極を共有するように配置した色画素電極を基板上に所定のピッチで2次元的に交差配列した第一の基板と、前記第1方向と第2方向の2つの色画素電極のピッチを1ピッチとするマイクロレンズを複数個、前記基板上に2次元的に配列した第二の基板と、を備え、前記各マイクロレンズの中心に対応した位置に前記第1の色画素電極が、前記第1方向において隣接するマイクロレンズ間の境界に対応した位置に前記第2の色画素電極が、前記第2方向において隣接するマイクロレンズ間の境界に対応した位置に前記第3の色画素電極が、各々位置するように、かつ前記第一の基板と第二の基板との間に液晶層を挟むように、前記第一の基板に対して前記第二の基板を配置し、前記各マイクロレンズのうち、他の3つのマイクロレンズと隣接する角隅に対応した位置に、前記第一

の基板と第二の基板との間のギャップを制御するためのスペーサを、これら第一の基板と第二の基板とで挟んで設けた、ことを特徴とする。

【0007】また、前記色画素電極は反射電極からなることを特徴とする。

【0008】また、前記スペーサは球状のスペーサであることを特徴とする。

【0009】更に、上記特徴をもつ表示パネルを製造する際に、前記第一及び第二の基板それぞれに配向膜を形成し、該第一及び第二の基板のうち一方の基板の配向膜上に感光性樹脂を塗布して現像液にて現像し、前記色画素電極に対応する位置とは別の位置が開口となるパターンを形成して、選択的に前記配向膜を覆う工程と前記パターンが形成された配向膜上にスペーサを散布して固着させる工程と、剥離液を用いて前記散布固着したスペーサを前記感光性樹脂とともに除去する工程と、を有することを特徴とする。

【0010】また、前記散布するスペーサは、接着樹脂をコーティングしたスペーサであることを特徴とする。

【0011】

【発明の実施の形態】<実施形態1>本発明による表示パネルの一例である液晶パネルを投写型液晶表示装置に採用した実施形態1について説明する。

【0012】(A) 液晶表示装置全体の説明

図1は投写型液晶表示装置の光学系の要部概略図であり、図1(A)はその上面図、図1(B)は正面図、図1(C)は側面図を表している。

【0013】図1において、1は投影レンズであり、マイクロレンズ付の液晶パネル2(表示パネル)で表示した画像情報を所定面上に投影している。3は偏光ビームスプリッター(PBS)であり、例えばP偏光を透過し、S偏光を反射している。40はR(赤色光)反射ダイクロイックミラー、41はB/G(青色&緑色光)反射ダイクロイックミラー、42はB(青色光)反射ダイクロイックミラー、43は全色光を反射する高反射ミラー、50はフレネルレンズ、51は凸レンズ(正レンズ)、6はロッド型インテグレータ、7は楕円リフレクターであり、その中にメタルハライドや、UHP等のアークランプ(光源)8の発光面8aが配置されている。

【0014】ここで、R(赤色光)反射ダイクロイックミラー40、B/G(青色&緑色光)反射ダイクロイックミラー41、B(青色光)反射ダイクロイックミラー42はそれぞれ図2(C)、(B)、(A)に示したような分光反射特性を有している。そしてこれらのダイクロイックミラーは高反射ミラー43とともに図3の斜視図に示したように3次元的に配置されており、後述するように光源8からの白色照明光をR、G、Bの3つの色光に色分解するとともに液晶パネル2に対して各原色光が3次元的に異なる方向から該液晶パネル2を照明する

ようとしている。

【0015】ここで、光源8からの光束の進行過程に従って説明すると、まずランプ8からの出射した白色光束は、楕円リフレクター7によりその前方のインテグレータ6の入り口(入射面)6aに集光され、このインテグレータ6内を反射を繰り返しながら進行するにつれて光束の空間的強度分布が均一化される。そしてインテグレータ6の出射口6bを出射した光束は凸レンズ51とフレネルレンズ50とによりx軸ー方向(図1(B)基準)に平行光束化され、まずB反射ダイクロイックミラー42に至る。

【0016】このB反射ダイクロイックミラー42ではB光(青色光)のみが反射されz軸ー方向つまり下側(図1(B)基準)にz軸に対して所定の角度でR反射ダイクロイックミラー40に向かう。一方B光以外の色光(R/G光)はこのB反射ダイクロイックミラー42を通過し、高反射ミラー43により直角にz軸ー方向(下側)に反射されやはりR反射ダイクロイックミラー40に向かう。

【0017】ここでB反射ダイクロイックミラー42と高反射ミラー43は共に図1(A)を基にして言えば、インテグレータ6からの光束(x軸ー方向)をz軸ー方向(下側)に反射するように配置しており、高反射ミラー43はy軸方向を回転軸にxy平面に対して丁度45°の傾きとなっている。それに対してB反射ダイクロイックミラー42はやはりy軸方向を回転軸にxy平面に対してこの45°よりも浅い角度に設定されている。

【0018】従って、高反射ミラー43で反射されたR/G光はz軸ー方向に反射されるのに対して、B反射ダイクロイックミラー42で反射されたB光はz軸に対して所定の角度(xz面内チルト)で下方向に向かう。ここで、B光とR/G光の液晶パネル2上の照明範囲を一致させるため、各色光の主光線は液晶パネル2上で交差するように、高反射ミラー43とB反射ダイクロイックミラー42のシフト量およびチルト量が選択されている。

【0019】次に、前述のように下方向(z軸ー方向)に向かったR/G/B光はR反射ダイクロイックミラー40とB/G反射ダイクロイックミラー41に向かうが、これらはB反射ダイクロイックミラー42と高反射ミラー43の下側に位置し、まず、B/G反射ダイクロイックミラー41はx軸を回転軸にxz面に対して45°傾いて配置されており、R反射ダイクロイックミラー40はやはりx軸方向を回転軸にxz平面に対してこの45°よりも浅い角度に設定されている。

【0020】従ってこれらに入射するR/G/B光のうち、まずB/G光はR反射ダイクロイックミラー40を通過して、B/G反射ダイクロイックミラー41により直角にy軸十方向に反射され、PBS3を通じて偏光化された後、xz面に水平に配置された液晶パネル2を照

明する。

【0021】このうちB光は前述したように(図1(A)、図1(B)参照)、x軸に対して所定の角度(xz面内チルト)で進行しているため、B/G反射ダイクロイックミラー41による反射後はy軸に対して所定の角度(xy面内チルト)を維持し、その角度を入射角(xy面方向)として該液晶パネル2を照明する。G光についてはB/G反射ダイクロイックミラー41により直角に反射しy軸+方向に進み、PBS3を通じて偏光化された後、入射角0°つまり垂直に該液晶パネル2を照明する。

【0022】またR光については、前述のようにB/G反射ダイクロイックミラー41の手前に配置されたR反射ダイクロイックミラー40によりR反射ダイクロイックミラー40にてy軸+方向に反射されるが、図1(C)の側面図に示したようにy軸に対して所定の角度(yz面内チルト)でy軸+方向に進み、PBS3を通じて偏光化された後、該液晶パネル2をこのy軸に対する角度を入射角(yz面方向)として照明する。

【0023】また、前述と同様にR、G、Bの各色光の液晶パネル2上の照明範囲を一致させるため、各色光の主光線は液晶パネル2上で交差するようにB/G反対ダイクロイックミラー41とR反射ダイクロイックミラー40のシフト量およびチルト量が選択されている。

【0024】さらに、図2に示したようにB/G反射ダイクロイックミラー41のカット波長は570nm、R反射ダイクロイックミラー40のカット波長は600nmであるから、不要な橙色光はB/G反射ダイクロイックミラー41を透過して光路外に捨てられる。これにより最適な色バランスを得ている。

【0025】そして後述するように液晶パネル2にて各R、G、B光は反射&偏光変調され、PBS3に戻り、PBS3のPBS面3aにてx軸+方向に反射し、この光束は投影レンズ1に入射する。投影レンズ1は液晶パネル2に表示された画像をスクリーン(不図示)に拡大投影している。

【0026】該液晶パネル2を照明する各R、G、B光は入射角が異なるため、そこから反射されてくる各R、G、B光もその出射角を異にしているが、投影レンズ1としてはこれらを全て取り込むに十分な大きさのレンズ径及び開口のものを用いている。ただし、投影レンズ1に入射する光束の傾きは、各色光がマイクロレンズを2回通過することにより平行化され、液晶パネル2への入射光の傾きを維持している。

#### 【0027】(B) 液晶パネルの説明

次に、ここで用いる液晶パネル2について説明する。図4は、本実施形態に係る液晶パネル2の拡大断面模式図(図1(C)のyz面に対応)である。対向ガラス基板であるシートガラス23上には熱可塑性樹脂を用いたいわゆるリフロー法によりマイクロレンズ22が形成され

10

20

30

40

50

ている。また、24は透明対向電極、25は液晶層、26は画素電極、27はアクティブマトリックス駆動回路部、28はシリコン半導体基板である。マイクロレンズ22は、画素電極26のピッチの倍のピッチで2次元的アレイ構造を有し、これによりマイクロレンズアレイを成している。また251は、液晶パネル2の表示品位を向上させるために、マイクロレンズ22の角隅部の非表示領域(後述)に対応設置されたスペーサ251であり、これにより対向する基板間のギャップを制御している。

【0028】図6に液晶パネル2の部分上面図を示す(なお上記図4は図6のA-A'線断面図である)。この図から判るように該液晶パネル2では、マイクロレンズ22による集光が出来るために非表示領域250が大きく確保でき、このマイクロレンズ22の角隅部の非表示領域250にスペーサ251が配置されている。従来提案されているスペーサを画素電極部以外の信号電極等を覆うマトリックスパターン部に設ける方法では、表示画素数が増加し画素寸法が縮小されると、スペーサによる配向乱れ等の影響が表示画素に及び、コントラスト低下等の表示品位が低下してしまうという欠点があったが、該液晶パネル2では、ギャップ制御用のスペーサ251が非表示領域250に配置されているため、表示品位を低下させることなくギャップ精度の良いパネルを作成できる。

【0029】液晶層25は反射型に適応したいわゆるDAP、HAN等のECBモードのネマチック液晶を採用しており、不図示の配向層により所定の配向が維持されている。画素電極26はA1(アルミ)からなり反射鏡を兼ねており、表面性を良くして反射率を向上させるためバーニング後の最終工程でいわゆるCMP処理を施している。

【0030】アクティブマトリックス駆動回路部27はいわゆるシリコン半導体基板28上に設けられた半導体回路であり、上記画素電極26をアクティブマトリックス駆動するものであり、該回路マトリックスの周辺部には不図示のゲート線ドライバー(垂直レジスター等)や信号線ドライバー(水平レジスター等)が設けられている。

【0031】これらの周辺ドライバーおよびアクティブマトリックス駆動回路27はR、G、Bの各原色映像信号を所定の各R、G、B画素に書き込むように構成されており、該各画素電極26はカラーフィルターは有さないものの、前記アクティブマトリックス駆動回路27にて書き込まれる原色映像信号により各R、G、B画素として区別され、後述する所定のR、G、B画素配列を形成している。

【0032】ここで、まず液晶パネル2に対する照明光のうちG光について説明する。前述したようにG光の主光線はPBS3により偏光化されたのち該液晶パネル2

に対して垂直に入射する。該G光線はマイクロレンズ22により集光されG画素電極26(図6で「G」と表記した画素電極26)上を照明する。そしてA1よりなる該画素電極26により反射され、再び同じマイクロレンズ22を通じて液晶パネル2外に出射していく。このように液晶層25を往復通過する際、該G光線(偏光)は画素電極26に印可される信号電圧により対向電極24との間に形成される電界による液晶の動作により変調を受けて該液晶パネル2を出射しPBS3に戻る。ここで、その変調度合いによりPBS面3aにて反射され投影レンズ1に向かう光量が変化し、各画素のいわゆる濃淡階調表示がなされることになる。

【0033】一方、上述したようにyz面内の斜め方向から入射してくるR光については、やはりPBS3により偏光化された後、マイクロレンズ22に入射し、該マイクロレンズ22により集光されその斜め下側にあるR画素電極(図6で「R」と表記した画素電極26)上を照明する。そして該画素電極26により反射され、入射時の前記マイクロレンズ22に隣接した別のマイクロレンズ22を通じて液晶パネル2外に出射していく。この際、該R光線(偏光)はやはりR画素電極26に印可される信号電圧により対向電極24との間に形成される電界による液晶の動作により変調を受けて該液晶パネル2を出射しPBS3に戻る。そしてその後のプロセスは前述のG光の場合と全く同じように、画像光の1部として投影レンズ1で投影される。

【0034】図5は本実施形態での色分解及び色合成の原理説明図である。ここで図5(A)は液晶パネル2の上面模式図、図5(B)、図5(C)はそれぞれ該液晶パネル2の上面模式図に対するA-A'(x方向)断面模式図、B-B'(z方向)断面模式図である。

【0035】このうち図5(C)はyz断面を表す上記図4に対応するものであり、各マイクロレンズ22に入射するG光とR光の入出射の様子を表している。これから判るように第1の色画素として各G画素電極は各マイクロレンズ22の中心の真下に配置され、第2の色画素として各R画素電極は各マイクロレンズ22間の境界の真下に配置されている。従ってR光の入射角はその $\tan\theta$ が画素ピッチ(B&R画素)とマイクロレンズ22・画素電極26間距離の比に等しくなるように設定するのが好ましい。

【0036】一方図5(B)は該液晶パネル2のxy断面に対応するものである。このxy断面については第3の色画素としてのB画素電極とG画素電極とが図5(C)と同様に交互に配置されており、やはり各G画素電極は各マイクロレンズ22の中心の真下に配置され、第3の色画素としての各B画素電極は各マイクロレンズ22間の境界の真下に配置されている。

【0037】ところで該液晶パネル2を照明するB光については、前述したようにPBS3による偏光化後、図

中断面(xy面)の斜め方向から入射してくるため、R光の場合と全く同様に各マイクロレンズ22から入射したB光線は図示したようにB画素電極26により反射され、入射したマイクロレンズ22に対してx方向に隣り合うマイクロレンズ22から出射する。B画素電極26上の液晶層25による変調や液晶パネル2からのB出射光の投影については、前述のG光およびR光と同様である。

【0038】また、各B画素電極は各マイクロレンズ22間の境界の真下に配置されており、B光の液晶パネル2に対する入射角についてもR光と同様にその $\tan\theta$ が画素ピッチ(G&B画素)とマイクロレンズ22・画素電極26間距離の比に等しくなるように設定するのが好ましい。

【0039】ところで本実施形態の液晶パネル2では以上述べたように各R、G、B画素の並びがz方向(第1方向)に対してはRGGRG…、そしてx方向(第2方向)に対してはBGBGBG…となっているが、図5(A)はその平面的な並びを示している。

【0040】このように各画素(色画素)サイズは縦横共にマイクロレンズ22の約半分になっており、画素ピッチはx,z両方向ともにマイクロレンズ22のそれの半分になっている。また、G画素は平面的にもマイクロレンズ22中心の真下に位置し、R画素はz方向のG画素間かつマイクロレンズ22の境界に位置し、B画素はx方向のG画素間かつマイクロレンズ22の境界に位置している。また、1つのマイクロレンズ単位の形状は矩形(画素の2倍サイズ)となっている。

【0041】なお、図6で二点鎖線格子29は1つの絵素を構成するR、G、B画素のまとまりの画素ユニット29を示している。また、これら画素ユニット29を基板上に2次元的に所定のピッチで配列して画素ユニットアレイを構成している。つまり、アクティブマトリックス駆動回路部27により各R、G、B画素が駆動される際、二点鎖線格子29で示されるR、G、Bの画素ユニットは同一画素位置に対応したR、G、B映像信号にて駆動される。上述した各原色照明光の入射・出射経路から明らかのように、1つの絵素を構成するR、G、B画素ユニット29について、各原色照明光の入射照明位置は異なるものの、それらの出射については同じマイクロレンズ22から行われる。

【0042】図7は本実施形態における液晶パネル2からの全出射光をPBS3および投影レンズ1を通じてスクリーン9に投写するときの概略図である。同図に示すように図6に示すような液晶パネル2を用い、かつ液晶パネル2内のマイクロレンズ22の位置又はその近傍がスクリーン9上に結像投影されるように光学調整すると、その投影画像は図9に示すようなマイクロレンズ22の格子内に各絵素を構成する該R、G、B画素ユニット29からの出射光が混色した状態つまり同画素混色し

た状態の絵素を構成単位としたものとなる。

【0043】本実施形態ではこのように、図6に示す構成の液晶パネル2を用い、かつマイクロレンズ22の配置面又はその近傍がスクリーンと略共役関係となるようにして、スクリーン面上でいわゆるR、G、Bモザイクが無い質感の高い良好なカラー画像表示が可能としている。

【0044】(C) アクティブマトリックス駆動回路部の説明

次に、前述した各画素電極26およびそれをアクティブ駆動するシリコン半導体基板28上に設けられたアクティブマトリックス駆動回路部27について詳述する。

【0045】図10は本発明に係る液晶パネル2のアクティブマトリックス駆動回路部27の模式断面図である。図10において28はシリコン基板(半導体基板)、102、102'はそれぞれp型、n型ウェル、103、103'はトランジスタのドレイン領域、104はゲート、105、105'はソース領域である。

【0046】図10からわかるように、表示領域119のトランジスタはゲートに対して、自己整合的にソース、ドレイン層が形成されず、オフセットをもたせ、その間にドレイン領域103'、ゲート105'に示す如く、低濃度のn-、p-層が設けられる。ちなみにオフセット量は0.5~2.0μmが好適である。

【0047】一方、周辺回路の一部の回路部が図10に示されているが、周辺部の一部の回路は、ゲートに自己整合的にソース、ドレイン層が形成されている。

【0048】ここでは、ソース、ドレインのオフセットについて述べたが、有無だけでなくオフセット量をそれぞれの耐圧に応じて変化させたり、ゲート長の最適化が有効である。これは、周辺回路の一部は、ロジック系回路であり、この部分は、上述1.5~5V系駆動でよいため、トランジスタサイズの縮小及び、トランジスタの駆動力向上のため、上記自己整合構造が設けられている。

【0049】基板28は、p型半導体からなり、基板28は、最低電位(通常は、接地電位)であり、n型ウェルは、表示領域の場合、画素に印加する電圧すなわち1.0~1.5Vがかかり、一方、周辺回路のロジック部は、ロジック駆動電圧1.5~5Vがかかる。この構造により、それぞれ電圧に応じた最適なデバイスを構成でき、チップサイズの縮小のみならず、駆動スピードの向上による高画素表示が実現可能になる。

【0050】106はフィールド酸化膜、110はデータ配線につながるソース電極、111は画素電極につながるドレイン電極、26は画素電極である。107は表示領域、周辺領域を覆う遮光層であり、Ti、TiN、W、Mo等が適している。

【0051】図10からわかるように、上記遮光層は、表示領域では、画素電極とソース電極との接続部を除い

て覆っているが、周辺画素領域では、一部映像信号線、クロック線等、配線容量が重くなる領域では、上記遮光層を除き、上記遮光層が除かれた部分は照明光の光が混入し、回路の誤動作を起こす場合は画素電極層を覆う設計になっており、高速信号が転送可能な工夫がなされている。

【0052】108は、遮光層下部の絶縁層であり、P-SiO層上にSOGにより平坦化処理を施し、その層をさらに、P-SiOでカバーし、絶縁層の安定性を確保した。SOGによる平坦化以外に、P-TiO<sub>2</sub>S膜を形成し、さらにP-SiOをカバーした後、絶縁層をCMP処理し、平坦化する方法を用いても良いことは言うまでもない。

【0053】109は、反射電極と、透光層との間に設けられた絶縁層で、この絶縁層を介して反射電極の電荷保持容量となっている。大容量形成のために、SiO<sub>2</sub>以外に、高誘電率のP-SiN、Ta<sub>2</sub>O<sub>5</sub>やSiO<sub>2</sub>との積層膜等が有効である。遮光層にTi、TiN、Mo、W等の平坦なメタル上に設けることにより、500~5000オングストローム程度の膜厚が好適である。

【0054】25は液晶材料、117、117'は高度不純物領域、119は表示領域である。図10からわかるように、トランジスタ下部に形成されたウェルと同一極性の高濃度不純物層117、117'はウェルの周辺部及び内部に形成されており、高振幅な信号がソースに印加されても、ウェル電位は、低抵抗層で所望の電位に固定されているため、安定しており、高品質な画像表示が実現できた。さらにn型ウェルとp型ウェルとの間に、フィールド酸化膜を介して上記高濃度不純物層117、117'が設けられており、通常MOSトランジスタの時に使用されるフィールド酸化膜直下のチャネルステップ層を不要にしている。

【0055】これらの高濃度不純物層は、ソース、ドレイン層形成プロセスで同時にできるので作製プロセスにおけるマスク枚数、工数が削減され、低コスト化が図れた。

【0056】図11は本実施形態における液晶パネル2のアクティブマトリックス駆動部27の回路図である。図11において121は水平シフトレジスタ、122は垂直シフトレジスタ、123はnチャンネルMOSFET、124はpチャンネルMOSFET、125は保持容量、126は液晶画素容量、127は信号転送スイッチ、128はリセットスイッチ、129はリセットパルス入力端子、130はリセット電源端子、131はR、G、B映像信号入力端子である。

【0057】図10においてシリコン半導体基板28はp型になっているが、n型でも良い。また、ウェル領域102は、半導体基板28と反対の導電型にする。このため、図10ではウェル領域102はp型になっている。p型、n型のウェル領域102及び102'は、半

導体基板28よりも高濃度に不純物が注入されていることが望ましく、半導体基板28の不純物濃度が $10^{14} \sim 10^{15}$  (cm<sup>-3</sup>) のとき、ウェル領域102の不純物濃度は $10^{15} \sim 10^{17}$  (cm<sup>-3</sup>) が望ましい。

【0058】ソース電極110は、表示用信号が送られてくるデータ配線に、ドレイン電極111は画素電極26に接続する。これらの電極110、111には、通常A1、AlSi、AlSiCu、AlGeCu、AlCu配線を用いる。これらの電極110、111の下部に、TiとTiNからなるバリアメタル層を用いると、コンタクトが安定に実現できる。またコンタクト抵抗も低減できる。

【0059】画素電極26は、表面が平坦で、高反射材が望ましく、通常の配線用金属であるA1、AlSi、AlSiCu、AlGeCu、AlCu以外にCr、Au、Agなどの材料を使用することが可能である。また、平坦性の向上のため、下地絶縁層や画素電極26の表面をケミカルメカニカルポリッシング(CMP)法によって処理すると良い。

【0060】図11に示す保持容量125は、図10に示す画素電極26と対向透明電極24の間の信号を保持するための容量である。ウェル領域102には、基板電位を印加する。

【0061】本実施形態では、各行のトランスマッショングート構成を、上から1行目は上がnチャンネルMOSFET123で下がpチャンネルMOSFET124、2行目は上がpチャンネルMOSFET124で下がnチャンネルMOSFET123となるように、隣り合う行で順序を入れ換える構成にしている。以上のように、ストライプ型ウェルで表示領域の周辺で電源線とコンタクトしているだけでなく、表示領域にも、細い電源ラインを設けコンタクトをとっている。

【0062】なお、この時、ウェルの抵抗の安定化がカギになる。したがって、p型基板であれば、nウェルの表示領域内部でのコンタクト面積又はコンタクト数をpウェルのコンタクトより増強する構成を採用した。pウェルは、p型基板で一定電位がとられているため、基板が低抵抗体としての役割を演ずる。したがって、縞状になるn型ウェルのソース、ドレンへの信号の入出力による振られの影響が大きくなりやすいが、それを上部の配線層からのコンタクトを増強することで防止でき、これにより、安定した高品位な表示が実現できた。

【0063】R、G、B映像信号(ビデオ信号、パルス変調されたデジタル信号など)は、映像信号入力端子131から入力され、水平シフトレジスタ121からのパルスに応じて信号転送スイッチ127を開閉し、各データ配線に出力する。垂直シフトレジスタ122からは、選択した行のnチャンネルMOSFET123のゲートへはハイパルス、pチャンネルMOSFETのゲートへはローパルスを印加する。

【0064】以上のように、画素部のスイッチは、単結晶のCMOSトランスマッショングートで構成されており、画素電極へ書き込む信号が、MOSFETのしきい値に依存せず、ソースの信号をフルに書き込める利点を有する。

【0065】又、スイッチが、単結晶トランジスタから成り立っており、poly si-TFTの結晶粒界での不安定な振る舞い等がなく、バラツキのない高信頼性な高速駆動が実現できる。

【0066】また以上述べたようなアクティブマトリックス駆動回路部27は各画素電極26の下に存在するため、図11の回路図上では絵素を構成する各R、G、B画素は単純に横並びに描かれているが、各画素FETのドレインは図6に示したような2次元的配列の各R、G、B画素電極26に接続している。

【0067】図12はシール構造と、パネル構造との関係を説明するための模式的平面図である。図12において、151はシール材、152は電極パッド、153はクロックバッファー回路、154はアンプである。このアンプは、パネル電気検査時の出力アンプとして使用するものである。155は対向基板の電位をとるAgペースト部、156は表示領域、157はSR等の周辺駆動回路部である。

【0068】図12からわかるように、本実施形態では、シールの内部にも外部にもトータルチップサイズが小さくなるように、回路が設けられている。本実施形態ではパッドの引き出しをパネルの片辺側の1つに集中させているが、長辺側でも良く、又一辺でなく、多辺からの取り出しも高速クロックを取り扱う時に有効である。

【0069】さらに本案施形態の液晶パネル2は、Si半導体基板を用いているため、投写型表示装置のように強力な光が照射され、基板の側壁にも光が当たると、基板電位が変動し、液晶パネルの誤動作を引き起こす可能性がある。したがって、液晶パネル2の側壁及び液晶パネル2上面の表示領域の周辺回路部は、遮光できる基板ホルダーとなっており、又、Si基板の裏面は、熱伝導率の高い接着剤を介して弛伝導率の高いCu等のメタルが接続されたホルダー構造となっている。

【0070】(D) 駆動回路系についての説明  
40 次に図8に投写型液晶表示装置の駆動回路系についてその全体ブロック図を示す。同図において、10はパネルドライバーであり、R、G、B映像信号を極性反転しつ所定の電圧増幅をした液晶駆動信号を形成するとともに、対向電極24駆動信号、各種タイミング信号等を形成している。12はインターフェースであり、各種映像及び制御伝送信号を標準映像信号等にデコードしている。11はデコーダーであり、インターフェース12からの標準映像信号をR、G、B原色映像信号及び同期信号にデコードしている。14はパラストであり、アクリランプ8を駆動点灯する。15は電源回路であり、各回

13

路ブロックに対して電源を供給している。13は不図示の操作部を内在したコントローラであり、上記各回路ブロックを総合的にコントロールするものである。

【0071】このように本実施形態の投写型液晶表示装置は、その駆動回路系は単板式プロジェクターとしては極一般的なものであり、特に駆動回路系に負担を掛けることなく、前述したようなR、G、Bモザイクの無い良好な質感のカラー画像を表示することができるものである。

【0072】(E) 液晶パネルの製造方法についての説明

次に、前記液晶パネル2の製造方法について説明する。図13は液晶パネルの製造工程を説明した図である。まず図13(a)に示すように、公知技術等を適用した適宜な製造方法により、シリコン半導体基板28上に、多数の画素電極26を配したアクティブマトリックス駆動回路部27を形成し、更にその上に配向処理を行い配向膜31を形成する。これら基板28から配向膜31までのものを第一の基板300とする。

【0073】次いで図13(b)に示すように、前記第一の基板300上に感光性樹脂として本実施形態ではフォトレジスト32を塗布、露光現像し、マイクロレンズの角隅部の非表示領域250に対応する部分に開口33を持つレジストパターンを形成する。

【0074】次に図13(c)に示すように、スペーサに接着層をコーティングした接着スペーサ251、例えばハイブラシカUK-M(宇部日東化成製)を乾式散布する。該スペーサ251には、設定されているギャップの間隔とほぼ同じ径寸法を有するスペーサを用いた。その後、スペーサ251が散布された基板を120°Cにて加熱処理し、スペーサ251を基板300に接着させる。この時、フォトレジスト32の開口部33に散布されたスペーサ251は基板300に接着され、フォトレジスト32上に散布されたスペーサ251はレジスト32に接着される。

【0075】次に図13(d)に示すように、フォトレジスト32を剥離液等を用いてスペーサ251と共に除去することにより、所定の部分33のみにスペーサ251を配置する。尚、フォトレジスト材料及び剥離液等は、配向膜31の劣化及び配向性を低下させない様に考慮しなければならない。(例えば、特開平7-028067号公報等に記載されている。)

この後、スペーサ251を設置した基板300とマイクロレンズ側の基板とを、周囲に配置したスペーサを混入させたシール材を用いて貼り合わせ、この貼り合わせを行った両基板のギャップ内に液晶材料を真空注入し液晶層を形成し、液晶パネル2を完成させる。

【0076】従来のギャップ制御用のスペーサは、パネル内に均一にしかも、凝集することなく散布する必要があり、特に拡大投影用液晶パネルでは、表示品位の低下

10

14

を防止するためにスペーサの散布密度は、数10個/m<sup>2</sup>～200個/mm<sup>2</sup>程度であった。また、非表示部にスペーサを配置してもその影響が表示部に及び表示品位の低下を招いてしまっていた。これに対して本実施形態のものでは、500個/mm<sup>2</sup>程度以上、或いは非表示領域250内であれば凝集させて存在させることができるので、貼り合わせ時及び液晶注入後のギャップ調整時に加わる圧力による力が分散するため、欠陥等の発生確率が低減した。

【0077】更に、スペーサ材として前記したダメージの問題より、従来は樹脂系のスペーサが使用されてきたが、本発明ではギャップ精度が出しやすいシリカスペーサを使用することが好ましい。

【0078】<実施形態2>本発明による表示パネルの別の一例である液晶パネルに関する実施形態2を説明する。本実施形態2では上述した実施形態1と液晶パネルの部分だけが異なるので、以下、液晶パネルについてのみ説明する。

【0079】図14は本発明による表示パネルの別の一例である液晶パネルを説明する平面図である。ギャップ制御用のスペーサ251がパネル中央部351に密に、周辺部352が疎に配置されている。スペーサ251をパネル中央部351に多く配置することにより貼り合わせ時のセルギャップのへこみを防止でき、ギャップ精度の良いパネルが作成できる。

【0080】図15はセルギャップ調整を行う貼り合わせ時或いは液晶注入後の加圧時の液晶パネルの状態を説明した側断面図である。一般的には図15(a)に示すように、セルギャップ調整を行う貼り合わせ時或いは液晶注入後の加圧時には、加圧36によりパネル中央部の変形が周辺部より大きく、よりギャップが変化しやすい。しかし本実施形態のように、より変形の大きな場所を密に、少ない部分を疎にスペーサ251を配置することにより、表示品位の低下をより防止できる。更に、加圧時の変形量が大きいパネル中央部351にスペーサ251を密に配置しているため、図15(b)のようにスペーサ251個々に加わる圧力が低減し、基板へのダメージが低減される。

【0081】次に、本実施形態の液晶パネルにおけるスペーサの設置方法について図16を用いて説明する。図16は液晶パネルにおけるスペーサの設置方法を説明する図である。

【0082】実施形態1と同様(図13参照)の手順で図16(a)のように配向処理を行った後、図16(b)のように第一の基板300表面にフォトレジスト32を塗布し、マイクロレンズの角隅部分の非表示領域250に開口33を持ち、しかも、その密度が中央部が多く、周辺部が少ないフォトレジストパターンを形成した。

【0083】次に、図16(c)のように接着樹脂37

15

を均一に塗布した後、図16(d)のようにスペーサ251、例えばハイブリシカUK(宇部日東化成製)を乾式散布する。スペーサ251には、設定されているギャップの間隔とほぼ同じ径寸法を有するスペーサを用いた。

【0084】次に、スペーサ251が散布された基板を100°Cにて加熱処理し、スペーサ251を基板300に接着させる。この時、フォトレジスト32の開口33に散布されたスペーサ251は接着樹脂37により基板300に接着され、フォトレジスト32上に散布されたスペーサ251はフォトレジスト32に接着される。

【0085】次に、フォトレジスト32を剥離液等を用いてスペーサ251と共に除去することにより、図16(e)に示すように、所定の部分のみにスペーサ251を配置することができる。尚、フォトレジスト材料及び剥離液等は、配向膜31の劣化及び配向性を低下させない様に考慮しなければならない。

【0086】この後、スペーサ251が設置された基板300とマイクロレンズ側の基板とを、周囲に配置したスペーザを混入させたシール材を用いて貼り合わせ、この貼り合わせを行った両基板のギャップ内に液晶材料を真空注入し液晶層を形成し、液晶パネルが完成する。

【0087】

【発明の効果】以上説明したように本発明によると、コントラストを低下させることなく非表示画素領域にセルギャップを均一に保つスペーザを配置することができとなり、表示パネルの表示品位が向上する。

【0088】更に、スペーザの配置精度向上させることができるために、プロセス時のパネルに加わる圧力によるダメージが低減し、点欠陥、リーク等の不良発生率が低減し、製造歩留まりが向上する。また、スペーザとして、固い材質のものが使用でき、液晶等への不純物拡散の少ないシリカ系の材質が使用でき、信頼性が向上する。

【0089】なお、本発明の構成では、液晶パネルの高精細化による画素の細分化にも充分対応できる。

【図面の簡単な説明】

10

16

【図1】投写型液晶表示装置の要部概略図。

【図2】ダイクロイックミラーの分光反射特性図。

【図3】投写型液晶表示装置の色分解照明部の斜視図。

【図4】実施形態1での液晶パネルを示す断面図。

【図5】液晶パネルでの色分解色合成の原理説明図。

【図6】実施形態1での液晶パネルを示す平面図。

【図7】投写型液晶表示装置の投写光学系を示す部分構成図。

【図8】投写型液晶表示装置の駆動回路系を示すブロック図。

【図9】スクリーン上の投影像の部分拡大図。

【図10】液晶パネルにおけるアクティブマトリックス駆動回路部の模式断面図。

【図11】液晶パネルにおけるアクティブマトリックス駆動部の回路図。

【図12】液晶パネルの模式的全体平面図。

【図13】実施形態1の液晶パネルの製造工程図。

【図14】実施形態2の液晶パネルを説明した平面図。

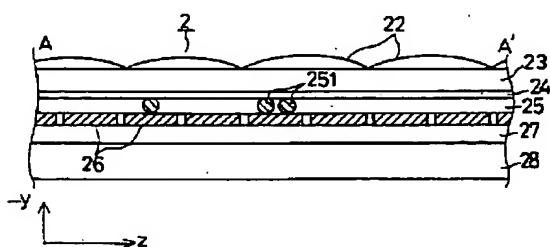
【図15】実施形態2の液晶パネルの加圧状態を説明した図。

【図16】実施形態2の液晶パネルの製造工程図。

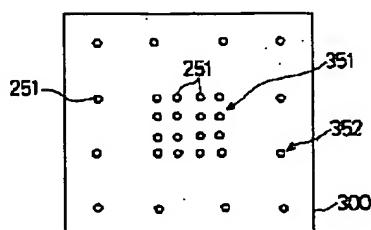
## 【符号の説明】

2	液晶パネル
22	マイクロレンズ
25	液晶層
26	画素電極
27	アクティブマトリックス駆動回路部
28	シリコン半導体基板
250	非表示領域
251	スペーザ
31	配向膜
32	レジスト
33	開口
36	加圧
37	接着樹脂
351	パネル中央部
352	周辺部

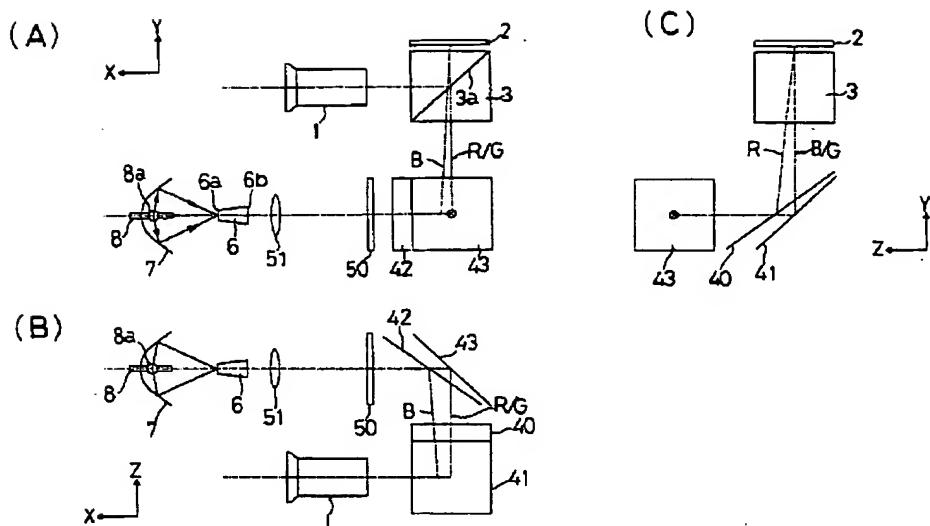
【図4】



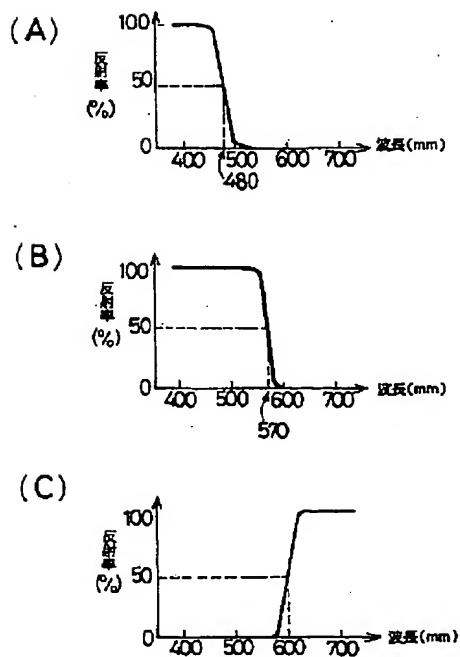
【図14】



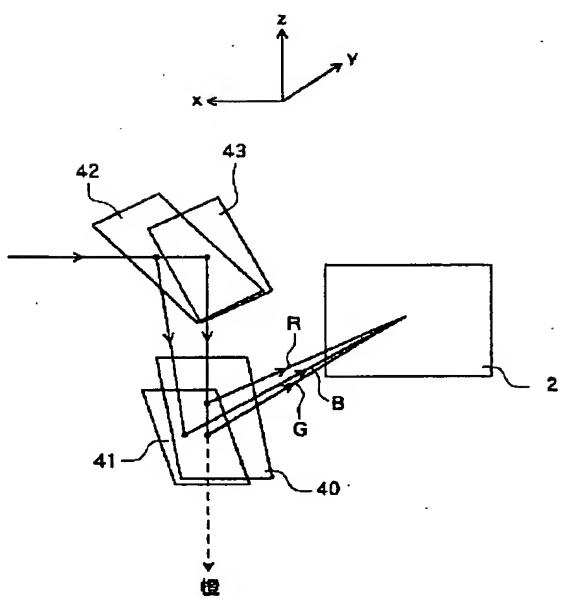
【図1】



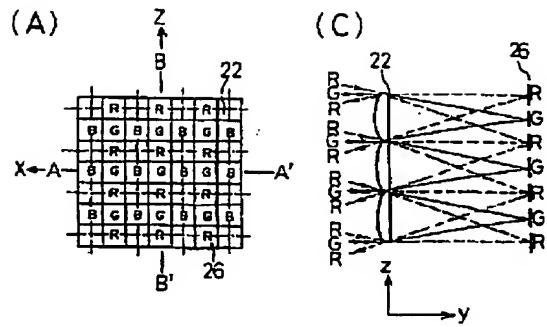
【図2】



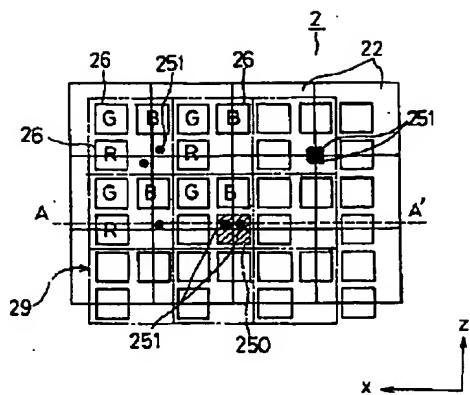
【図3】



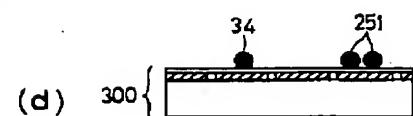
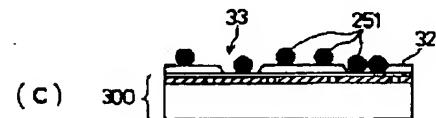
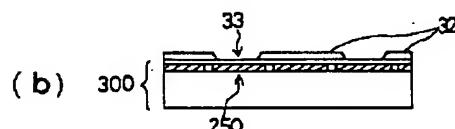
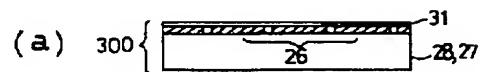
【図5】



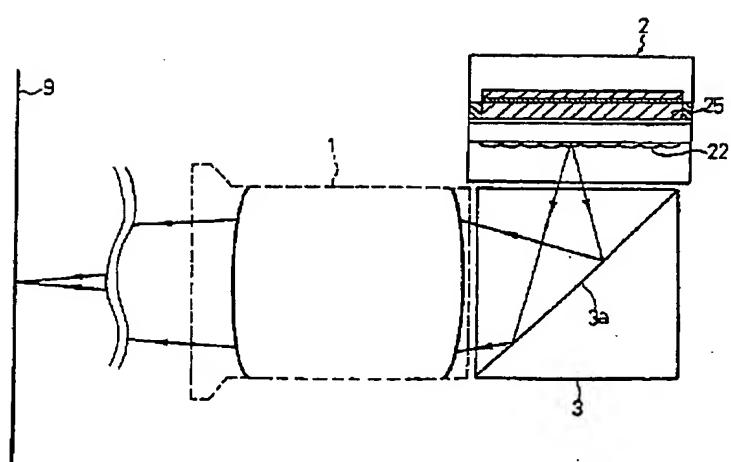
【図6】



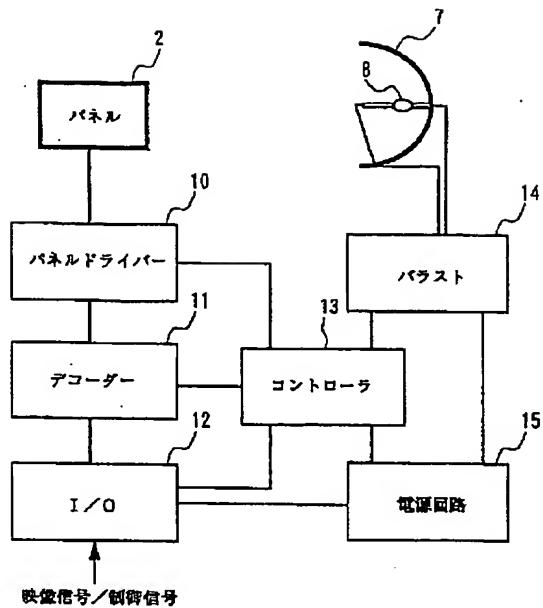
【図13】



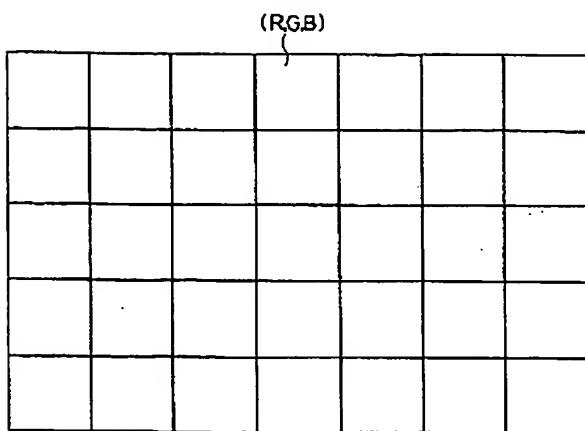
【図7】



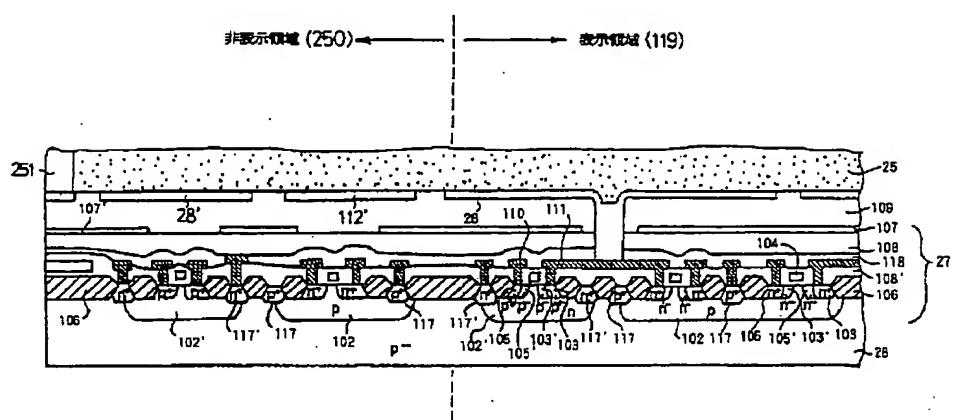
【図8】



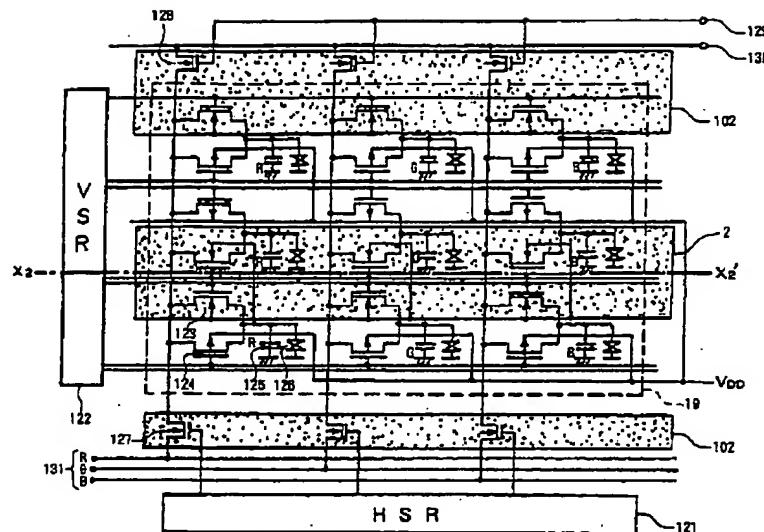
【図9】



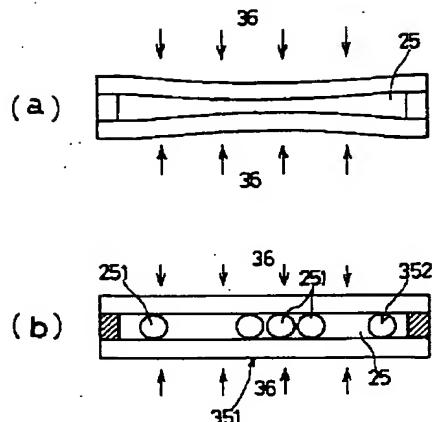
【図10】



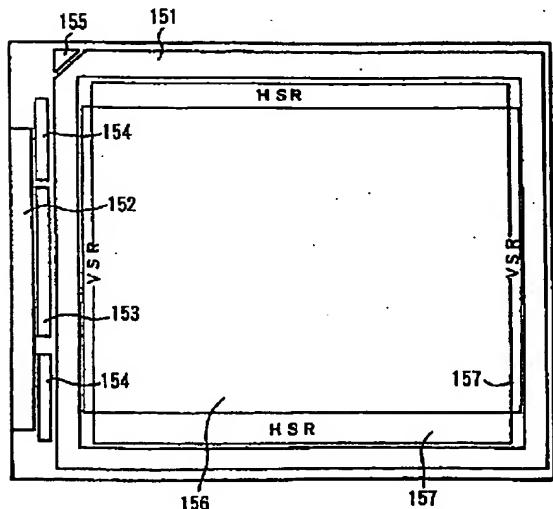
【図11】



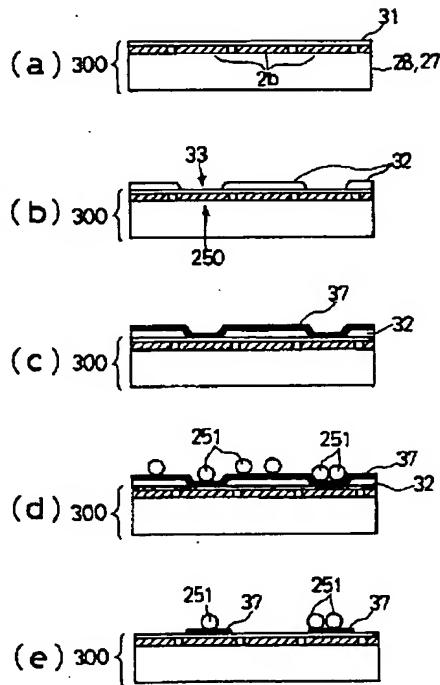
【図15】



【図12】



【図16】



フロントページの続き

(51) Int. Cl. <sup>7</sup>	識別記号	F I	テ-マコ-ト(参考)
G 0 9 F 9/30	3 3 0	G 0 9 F 9/30	3 3 0

F ターム(参考) 2H089 LA03 LA07 LA12 LA16 LA17  
LA20 MA01X NA09 NA12  
NA14 NA15 QA05 QA14 RA07  
RA08 TA02 TA04 TA09 TA12  
TA16 TA17 UA05  
2H091 FA05X FA10X FA14Y FA26X  
FA27X FA29X FA41X FC01  
FD01 FD04 GA02 GA13 LA13  
5C094 AA03 AA05 AA31 AA42 AA43  
AA55 BA16 BA43 CA19 CA24  
DA12 DA13 EA04 EA06 EB04  
EC03 ED01 ED05 ED11 FA01  
FA02 FB01 FB02 FB15 GB01  
GB10  
5G435 AA02 AA09 AA17 BB12 BB16  
BB17 CC09 CC12 DD04 FF03  
FF05 GG42 KK05

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**